פרויקט זה בא לממש מעבד RISC V בעל ליבה רכה על גבי רכיב FPGA של חברת LATTICE (דגם icebreaker) באמצעות שימוש בכלים חופשיים בלבד. מעבד בעל ליבה רכה הוא מעבד הממומש באמצעות שימוש בשערים הלוגיים הנמצאים בתוך שבב הFPGA , בניגוד למעבד בעל ליבה קשה, המיושם פיזית כמבנה בתוך הסיליקון. מטרת הפרויקט היא להוכיח כי ניתן לפתח מעבד פונקציונלי מלא ללא תלות בכלים יקרים או ברכיבי IP קנייניים. תהליך הפיתוח כולו בוצע באמצעות כלים חינמיים ופתוחים, ביניהם Yosys לסינתזה, Nextpnr לביצוע place & route, ‏Verilator לסימולציה, ו־GTKWave לסימולציית גלים. במהלך הפרויקט מומשו שתי ארכיטקטורות של המעבד: גרסת multi-cycle שנצרבה על גבי שבב הFPGA בפועל, וגרסת pipeline מתקדמת שסומלצה בלבד וכוללת hazard handling ו- branch prediction. לצורך בדיקת תקינות המעבד, הורצו עליו תוכניות בשפות C ואסמבלי, שהוגדרו וקומפלו באמצעות riscv32-unknown-elf-gcc וביניהן: חישוב ספרות π, הדמיית הפרקטל של Mandelbrot, ואלגוריתם הצפנה AES-128. הפרויקט מוכיח שניתן לשלב בצורה אפקטיבית בין כלים פתוחים וטכנולוגיית FPGA כדי לפתח מעבד אשר פועל בצורה מלאה, מה שמציע אלטרנטיבה זולה לשיטות פיתוח מסורתיות.